

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-271213  
 (43)Date of publication of application : 20.09.2002

(51)Int.CI. H04B 1/04  
 H03L 7/093

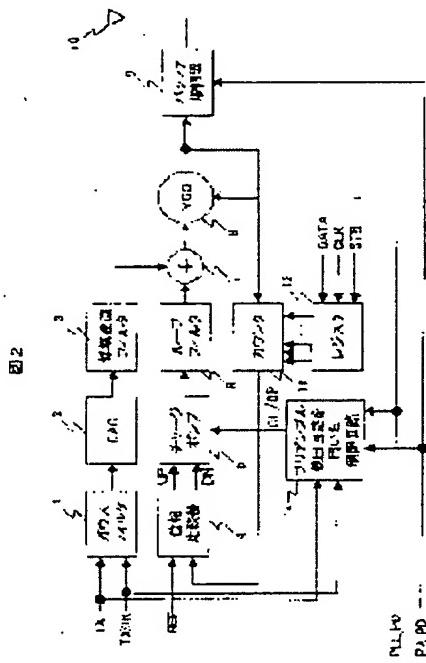
(21)Application number : 2001-071641 (71)Applicant : HITACHI LTD  
 (22)Date of filing : 14.03.2001 (72)Inventor : KOKUBO MASARU

## (54) FM TRANSMITTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an FM transmitter, in which start/stop can be controlled including a buffer circuit and a sample-and-hold circuit is not required for use in the transition from a PLL to an open loop.

**SOLUTION:** The transmitter is constructed, in such a manner that a control circuit 14 for controlling a charge pump 5 in the PLL to start/stop an FM operation is controlled by using a closed/open loop selection signal CL/OP in the PLL, a start/stop signal PA-PD in a buffer amplifier 9 and a preamble detection signal. Accordingly, since start/stoppage control can be performed so that the buffer amplifier and the PLL in the FM transmitter are controlled jointly, power consumption is reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-271213

(P2002-271213A)

(43)公開日 平成14年9月20日(2002.9.20)

(51) Int.Cl.  
H 0 4 B 1/04

識別記号

F I  
H 0 4 B 1/04  
H 0 3 L 7/08

テ-7コ-ト<sup>一</sup>(参考)  
5 J 1 0 6  
5 K 0 6 0

審査請求 未請求 請求項の数 6 OL (全 10 頁)

(21)出願番号 特願2001-71641(P2001-71641)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 小久保 優  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(74) 代理人 100068504  
弁理士 小川 謙男 (外 2 名)

F ターム(参考) 5J106 AA04 BB01 BB08 CC01 CC24  
CC38 CC41 DD13 DD17 DD32  
DD35 DD38 FF02 FF05 GG15  
KK33  
SK060 CC04 CC11 FF03 HH06 HH10  
HH25 HH28 HH33 II08 LL04

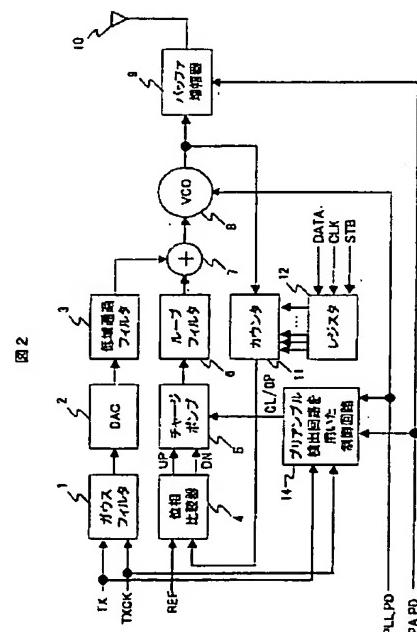
(54) [発明の名称] FM送信機

(57)【要約】

【課題】バッファ増幅器までも含めた起動／停止の制御が可能で、サンプルホールド回路をPLLの開ループ移行に用いる必要のないFM送信機を提供する。

【解決手段】PLL内のチャージポンプ5を制御してFM変調動作の起動／停止を行なう制御回路14を、PLLの閉ループ／開ループ選択信号CL／OPとバッファ增幅器9の起動／停止信号PA\_PDとプリアンブル検出信号を用いて制御する構成とする。

【効果】FM送信機のバッファ増幅器とPLLとを連動して起動・停止制御ができるようになるので、消費電力の低減が図れる。



【特許請求の範囲】

【請求項1】位相比較器とチャージポンプとループフィルタと電圧制御発振器とカウンタとを含む位相同期ループ(PLL)と、送信信号に対応した周波数偏移を加算する加算器と、アンテナへ出力するためのバッファ増幅器とから構成されるFM送信機であって、上記PLLの起動／停止信号およびバッファ増幅器の起動／停止信号を入力とし、上記チャージポンプの出力を高抵抗状態に保持するための制御信号を出力する制御回路を設けることを特徴とするFM送信機。

【請求項2】請求項1記載のFM送信機において、上記制御回路は、

バッファ増幅器の起動／停止信号を遅延する遅延回路と、該遅延回路の出力を一方の入力としPLLの起動／停止信号を他方の入力として上記PLLの起動／停止信号によりセットされ、上記遅延回路の出力によりリセットされるフリップフロップを含み、

上記PLLが起動するタイミングから、バッファ増幅器が起動して一定の時間だけ遅延したタイミングまでの間、上記PLLを閉ループ制御に保持し、それ以外の期間はPLLを開ループ状態とすることを特徴とするFM送信機。

【請求項3】請求項1記載のFM送信機において、上記制御回路は、

上記送信信号に含まれるプリアンブルを検出するプリアンブル検出回路と、PLLの起動／停止信号によりセットされ上記プリアンブル検出回路の出力によりリセットされるフリップフロップを含み、

上記PLLが起動するタイミングからプリアンブルが送出されるまでの間、上記PLLを閉ループ制御に保持し、それ以外の期間ではPLLを開ループ状態とすることを特徴とするFM送信機。

【請求項4】請求項1から3のいずれかに記載のFM送信機において、上記チャージポンプは、上記制御回路からの制御信号により、位相比較器から出力される周波数制御信号を抑圧するための論理回路を具備することを特徴とするFM送信機。

【請求項5】請求項1から3のいずれかに記載のFM送信機において、上記チャージポンプは、上記制御回路からの制御信号によりバイアス電流を零にするためのスイッチを具備することを特徴とするFM送信機。

【請求項6】請求項1記載のFM送信機において、上記制御回路は、

上記送信信号を積分して得られる送信信号の“H”または“L”的発生数の偏りを示す積分値の絶対値が、予め定められた閾値を超えたことを検出する送信信号の“H”または“L”的発生数偏り検出回路と、PLLの起動／停止信号によりセットされ上記偏り検出回路の出力によりリセットされるフリップフロップとを含み、

PLLが起動するタイミングから、上記偏り検出回路により送信信号の“H”または“L”的発生数の偏りが所定の閾値を超えて検出されるまでの間、上記PLLを閉ループ制御に保持し、それ以外の期間はPLLを開ループ状態とするように制御することを特徴とするFM送信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は送信機に関し、特に半導体上に形成したFM(周波数変調)変調回路を用いたFM送信機に関する。

【0002】

【従来の技術】FM変調信号を送出するための従来のFM送信機は、特開平3-236634号公報に記載されるように、位相同期回路(PLL)を用いている。

【0003】この種の従来のFM送信機は、基準発振回路、位相比較器、プログラマブル分周器、L、P、F(低域通過フィルタ)、サンプルホールド回路、加算器、電圧制御発振器(VCO)、バッファ増幅器(AMP)、および、送信アンテナから構成されていた。この従来例の動作を以下に説明する。

【0004】電圧制御発振器の出力はプログラマブル分周器によって分周され、位相比較器の一方の入力端子へ入力される。また、位相比較器の他方の入力は、基準発振回路から基準信号が供給される。位相比較器は、上記2つの信号の位相差に相当するパルス幅を持つ信号を出力する。次に、この位相比較器の出力信号は、低域通過フィルタ、サンプルホールド回路、および、加算器を介して、電圧制御発振器の周波数制御端子にフィードバックされる。この一連の接続によりPLLが構成される。電圧制御発振器から出力される信号の周波数は、上記フィードバック構成により、基準信号にプログラマブル分周器の分周数を乗じた周波数となる。

【0005】この従来例のFM送信機にはさらにマイクロコンピュータが設けられ、上記位相比較器とプログラマブル分周器の出力が入力される。マイクロコンピュータは、PLLがロックしたことを位相比較器からの信号で検出する。マイクロコンピュータは、ロック検出結果をもとに、サンプルホールド回路を起動させ、ロックしているときの電圧制御発振器の制御電圧をサンプルホールドする。次に、送信データから得られた周波数制御信号が、デジタル／アナログ変換器と低域通過フィルタを介して加算器により加算されるので、FM変調信号が得られる。なお、このようなPLLのループの中で位相比較器の出力を電圧制御発振器に必要な直流に変換するために使われる低域通過フィルタは、ループフィルタと呼ばれている。さらに電圧制御発振器から発生したFM変調信号は、バッファ増幅器を介してアンテナに供給され、FM変調信号が送信される。

【0006】このように、従来例はサンプルホールド回

路を用いて P L L の閉ループを切断すると同時に、サンプルホールドしたループフィルタの出力電圧を、加算器により送信信号に対応した周波数偏移を与える信号に加算することで、FM変調信号を生成するものである。このとき、位相比較器からのロック信号をマイクロコンピュータにより検出することによって、サンプルホールド回路を制御しているので、PLLしがロックした時点で自動的に FM変調信号を発生する状態に移行できる。

## 【0007】

【発明が解決しようとする課題】しかしながら、前述した従来のFM送信機によれば、バッファ増幅器の起動に関する制御については考慮されておらず、低消費電力という観点では不十分なものであった。しかも、PLLしが開ループに移行するためにサンプルホールド回路を用いているため、消費電力が大きくなるという点にも配慮されていなかった。

【0008】そこで、本発明の目的は、バッファ増幅器までも含めた起動／停止の制御が可能で、サンプルホールド回路を PLL の開ループ移行に用いる必要のない FM 送信機を提供することにある。さらに、消費電力の大きなバッファ増幅器の起動時間を最小にした FM 送信機を提供することも目的の一つである。

## 【0009】

【課題を解決するための手段】上記目的を達成するため、本発明に係る FM 送信機は、位相比較器とチャージポンプとループフィルタと電圧制御発振器とカウンタとを含む位相同期ループ（PLL）と、送信信号に対応した周波数偏移を加算する加算器と、アンテナへ出力するためのバッファ増幅器とから構成される FM 送信機であって、上記 PLL の起動／停止信号およびバッファ増幅器の起動／停止信号を入力とし、上記チャージポンプの出力を高抵抗状態に保持するための制御信号を出力する制御回路を設けることを特徴とするものである。すなわち、本発明に係る FM 送信機は、PLL の閉ループ／開ループ選択信号とバッファ増幅器の起動／停止信号から FM 送信機の変調動作（以下、単に FM 変調動作という）の起動／停止を制御するように構成したものである。

【0010】ここで、PLL の閉ループ／開ループ選択信号は PLL の閉ループ動作と開ループ動作を制御するための信号であり、従来例のようなマイクロコンピュータによる検出に基づいて出力される信号だけではなく、カウンタなどを用いて一定時間経過後を検出することにより PLL しがロックしたことを示す信号であっても良い。

【0011】さらに、プリアンブル信号を用いた FM 送信機の場合には、PLL の閉ループ／開ループ選択信号と、バッファ増幅器の起動／停止信号と、プリアンブル検出信号とを用いて、FM 変調動作の起動／停止を制御し、プリアンブル検出前は PLL しが閉ループでの FM 変

調動作で FM 信号を発生し、プリアンブル送信終了後に PLL しが開ループでの FM 変調動作に移行するように制御する構成とすればよい、すなわち、FM 送信機がプリアンブルを送出している間は PLL しが閉ループ制御となっているように構成する。

【0012】また、上記 FM 送信機において、チャージポンプ回路の出力を非導通にする、または、位相比較器から出力される 2 つの周波数制御信号すなわち周波数を高めるための制御信号と周波数を低めるための制御信号とを抑止することにより、PLL を閉ループ動作から開ループ動作に制御するように制御回路を構成してもよい。これにより、従来例のようにサンプルホールド回路を用いることなく、PLL を閉ループ動作から開ループ動作に移行することができる。

## 【0013】

【発明の実施の形態】以下、本発明に係る FM 送信機の好適な実施の形態について添付図面を参照しながら以下詳細に説明する。

【0014】＜実施の形態例 1＞本発明に係る FM 送信機の実施の形態例を、図 1 を用いて説明する。図 1 に示す FM 送信機は、基準信号 REF が入力され、電圧制御発振器（VCO）8 からカウンタ 11 を介して帰還された信号との位相差を検出する位相比較器 4 と、位相比較器 4 から出力される周波数を高める制御信号 UP または周波数を低める制御信号 DN が入力され、位相比較器 4 が検出した位相差に相当する信号に変換するチャージポンプ 5 と、チャージポンプ 5 の出力が入力され、チャージポンプ 5 の出力信号に含まれる雑音成分を抑圧すると共に PLL を安定に保つループフィルタ 6 と、ループフィルタ 6 の出力と送信データ TX との加算を行う加算回路 7 と、加算回路 7 の出力を入力し、その値に対応した発振周波数の信号を出力する VCO 8 と、VCO 8 の出力を 2 つの信号系路に分割し、一方は、予め定められた数値まで係数するカウンタ 11 に入力され、他方は、バッファ増幅器（AMP）9 を介してアンテナ 10 から FM 変調信号として送信される構成である。

【0015】このように位相比較器 4 、チャージポンプ 5 、ループフィルタ 6 、VCO 8 、および、カウンタ 11 にて構成される一連のフィードバックループを PLL（位相制御ループ）と呼ぶ。

【0016】ここで、上記 PLL の制御ループに対して以下の構成で送信する信号を印加する。送信データ TX とその同期クロック TXCK がガウスフィルタ 1 に入力され、波形整形された後、DA 変換器（DAC）2 においてアナログ信号に変換される。このアナログ信号は、低域通過フィルタ 3 により高周波数帯の雑音を抑圧した後、加算回路 7 の他方の入力に供給される。さらに、カウンタ 11 がカウントする予め定められた数値はレジスタ 12 に蓄えられており、3 つの信号 DATA 、CLK 、STB により外部の制御装置から書き換え可能

な構成となっている。また、'チャージポンプ'には、制御回路13からの閉ループ/開ループ選択信号、すなはち制御信号CL/OPが接続され、PLしが閉ループ動作する場合とPLLのフィードバックループを切断して開ループ動作する場合との切り替えを行うように構成されている。

【0017】制御回路13の構成を図3に示す。制御回路13は、バッファ増幅器9を起動するための信号PA\_PDが入力される複数個の遅延用レジスタ31~34と、最終段の遅延用レジスタ34の出力が入力され、立ち下がりエッジにおいてパルスを出力する遅延インバータ35~39及びNOR回路40と、PLLを起動するための信号PLL\_PDが入力され、立ち下がりエッジにおいてパルスを出力する遅延インバータ26~30及びNOR回路23と、NOR回路40, 23の出力がそれぞれ入力され、フリップフロップを構成しているNOR回路22, 24と、NOR回路22の出力を反転して出力するためのインバータ25から構成される。

【0018】図3では、遅延用レジスタは4個の例を示したが、必要な遅延時間を実現するために、任意の段数の遅延用レジスタを設ける構成も適用でき、また、可変遅延回路のような遅延を与える回路も適用可能である。ここで必要な遅延時間とは、バッファ増幅器9が起動することにより発生するPLLの収束周波数の揺らぎが十分小さくなるための時間以上の時間に相当する。

【0019】以上の説明において、バッファ増幅器9はPA\_PD信号が“ロー(L)”のとき起動し、“ハイ(H)”のとき停止し、PLLはPLL\_PD信号が“L”的とき起動し、“H”的とき停止すると定義した。さらに、VCO8もPLL\_PD信号により制御され、“H”的とき停止し、“L”的とき起動する。また、それ以外のブロックに対しても図では制御線を省略しているが、PLL\_PD信号により同様に起動・停止が制御されるものとする。

【0020】本実施の形態例の動作について図7を用いて説明する。図7の横軸は時間を表し、その時間に対応した3つの信号CL/OP, PLL\_PD, PA\_PDおよびそれらの制御信号にて制御されるFM送信機の送信状態を示している。ここではFM送信機の送信状態として、停止モード、PLL収束モード、プリアンブル送信モード、および送信データの送信モードの4つのモードがある。

【0021】最初の送信状態は停止モードであり、PLL\_PD信号とPA\_PD信号は共に“H”となり、FM送信機は停止している。

【0022】次に、PLL\_PD信号が“H”から“L”に遷移することにより、PLしが起動する。このとき、制御回路13がPLL\_PD信号の遷移を検出し、制御信号CL/OPを“L”から“H”に遷移させることにより(図7で示したt1時点)、PLしが閉ル

ープ制御となり、ロック状態への収束を開始する。PLL\_PD信号の遷移を検出する方法は、PLL\_PD信号を奇数段のインバータ26~30へ入力し、予め定められた遅延時間を与え、その最終段のインバータ30の出力とPLL\_PD信号との論理和の否定演算をNOR回路23で得ることにより、PLL\_PD信号の立ち下がり点で正のパルスが出力される。この出力が、フリップフロップとして接続された2つのNOR回路22, 24に入力され、該フリップフロップ出力を反転させる。したがって、インバータ25を介した制御信号CL/OPは“L”から“H”に遷移する。ここで、インバータ5段を使用した例を示したが、5段に限らず、必要なパルス幅を得るために他の段数としても問題はない。

【0023】次に、PLしがロックした後、PA\_PD信号を“H”から“L”に遷移させ(図7で示したt2時点)、バッファ増幅器9を起動する。ここで、PLしがロックしたこと検出する方法として、専用のロック検出回路を用いることもできるが、PLしがパラメータ設定時に決めた自然周波数nから収束時間が決められることが良く知られているので、タイマーを用いて一定の時間経過後にPA\_PD信号を遷移させる方法も適用可能である。

【0024】なお、PA\_PD信号が“H”から“L”に遷移してバッファ増幅器9が起動するときに発生するバッファ増幅器9の突入電流により、バッファ増幅器9以外のブロックの電源やグラウンドの電位が変動する。特にFM送信機のPLしがこの影響を受けやすいため、PLしが発振周波数が収束周波数から揺らぐ現象が発生する。この周波数の揺らぎが規定の周波数範囲以下に再収束するまで、開ループ制御への制御には移行しないよう、図3の制御回路には、遅延回路のための遅延用レジスタを複数個設けている。

【0025】最終段の遅延用レジスタ34の出力は奇数段のインバータ35~39とNOR回路40の一方の入力に入力され、さらにNOR回路40の他方の入力には最終段のインバータ39の出力が接続される。この回路構成により、PA\_PD信号が遅延された信号の立ち下がり点において正のパルスが出力される。このNOR回路40の出力が、フリップフロップとして接続された2つのNOR回路22, 24の他方の入力に接続され、フリップフロップの出力が反転する。この出力はインバータ25を介して制御信号CL/OPとして出力され、制御信号CL/OPは“H”から“L”に遷移する。これにより、PLしがフィードバックループが遮断され、開ループ制御に移行する。その結果、図7のタイムチャートに示すように、遅延用レジスタ31~34の遅延時間分tDだけ遅れたタイミングにて閉ループ制御から開ループ制御へ移行する。

【0026】次に開ループ制御に移行した後、プリアンブルと送信データTXがガウスフィルタ1、D A C 2、

低域通過フィルタ3を介して加算器7にてVCOSの入力に加算され、VCOSよりFM変調信号が出力される。ここで、プリアンブルは予め仕様で定められた-1, +1, -1, +1などの特定パターンの繰り返しのことである。特に、短距離無線LAN (Local Area Network) と呼ばれる短距離無線リンクの仕様では、-1, +1, -1, +1または+1, -1, +1, -1の2通りのプリアンブルが定義されている。ここで、+1は正の周波数偏移を表し、-1は負の周波数偏移を表す。また、+1はデジタル信号の“H”に対応し、-1は“L”に対応する。なお、図7において、t3はプリアンブルの送信開始時点、t4はプリアンブル終了時点または送信データ開始時点である。

【0027】次に、図5を用いてチャージポンプの回路について説明する。

【0028】チャージポンプ5は制御回路13から出力された制御信号CL/OPが入力され、制御信号CL/OPは制御状態に対応してPLL5が閉ループまたは開ループ制御となるようにチャージポンプのチャージ電流を制御する機能を持っている。

【0029】チャージポンプ5は、基準電流Icを流す基準電流源41と、基準電流源41の出力に接続され、ドレインとソースが接続されたNMOSトランジスタ42と、NMOSトランジスタ42のゲートに、それぞれのゲートが接続されたNMOSトランジスタ47, 48と、ドレインとゲートが接続されると共にドレインがNMOSトランジスタ48のドレインに接続されたPMOSトランジスタ43と、ゲートがPMOSトランジスタ43のゲートに接続されたPMOSトランジスタ44と、ソースがPMOSトランジスタ44のドレインに接続され、ドレインがチャージポンプ出力CHPに接続されたPMOSトランジスタ45と、ソースがNMOSトランジスタ47のドレインに接続され、ドレインがチャージポンプ出力CHPに接続されたNMOSトランジスタ46と、位相比較器4からのUP信号を一方の入力とし、制御回路13からのCL/OP信号を他方の入力とするNAND回路49と、位相比較器4からのDN信号を一方の入力とし、制御回路13からのCL/OP信号を他方の入力とするAND回路50とから構成される。

【0030】図5において、NMOSトランジスタ42, 48, 47はそれぞれのゲートが接続されて、カレントミラー回路を構成している。したがって、NMOSトランジスタ42, 48, 47には同じ電流が流れ、さらにPMOSトランジスタ43, 44のゲート同士も接続されてカレントミラーの回路構成となっており、この2つのPMOSトランジスタ43, 44にも同じ電流が流れ。したがって、これらのトランジスタ42, 43, 44, 47, 48の電流値は基準電流Icと等しくなる。

【0031】次に、制御回路13からの制御信号CL/

OP信号がNAND回路49とAND回路50に接続されているので、制御信号CL/OPが“L”的ときはNAND回路49の出力は常に“H”、AND回路50の出力は常に“L”となる。したがって、NAND回路49の出力がゲートに接続されているPMOSトランジスタ45と、AND回路50の出力がゲートに接続されるNMOSトランジスタ46とはオフ状態になり、チャージポンプ5の出力CHPは高抵抗状態に保持される。このとき、PLL5は開ループ制御となる。

【0032】一方、制御回路13からの制御信号CL/OPが“H”的ときは、NAND回路49の出力は位相比較器4から与えられるUP信号の反転した信号を出力し、AND回路50の出力は位相比較器4から与えられるDN信号と同じ信号となる。したがって、UP信号が“H”的ときはPMOSトランジスタ45がオン状態となり、チャージポンプ5の出力CHPにPMOSトランジスタ44の電流が供給される。DN信号が“H”的ときはNMOSトランジスタ46がオン状態となり、NMOSトランジスタ47の電流がチャージポンプ5の出力CHPから引き抜かれる。つまり、位相比較器4からのUP, DN信号に対応してチャージポンプ電流が供給または吸引される。したがって、この状態でPLL5は閉ループ制御となる。

【0033】以上の構成により、バッファ増幅器9とPLL5とを連動した起動・停止の制御が行えるFM送信機が実現できる。

【0034】<実施の形態2>次に、図2を用いて本発明に係るFM送信機の第2の実施の形態例について説明する。

【0035】本実施の形態例は、図1における制御回路13の代わりに、プリアンブル検出回路を用いた制御回路14が設けられている点が異なる。制御回路14には、PLL\_PD信号、TX信号、TICK信号およびPA\_PD信号の4つの信号が入力され、チャージポンプ5に対して、閉ループ制御と開ループ制御とを選択する制御信号CL/OPを出力する。

【0036】図4に、本実施の形態例の制御回路の構成を示す。制御回路14には送信データTXとその同期クロックTICKが入力され、シフトレジスタを構成するレジスタ15～18と、送信データTXがプリアンブルと一致していることをチェックするOR-NAND回路19と、同期クロックTICKを反転するインバータ20と、OR-NAND回路19の出力をラッチするレジスタ21と、レジスタ21の出力により、出力が“H”にセットされるフリップフロップを構成するNOR回路22, 24と、インバータ25と、PLL\_PD信号が入力される奇数段のインバータ26～30と、最終段のインバータ30の出力とPLL\_PD信号とを入力とするNOR回路23から構成され、NOR回路23の出力がNOR回路24の入力に接続される。さらに、レジス

タ21のリセット端子RにはPA\_PD信号が接続される。

【0037】次に、制御回路14の動作を説明する。FM送信機が起動すると、PLL\_PD信号が“H”から“L”に遷移し、インバータ26～30とNOR回路23により、立ち下がりエッジのところでワンショットのパルスが出力される。NOR回路23はフリップフロップ構成のNOR回路24に入力されるので、インバータ25を介した制御信号CL/OPは、“H”となる。これにより、PLLは閉ループ制御となり、所定の発振周波数への収束を開始する。

【0038】次に、送信データTXはレジスタ15に入力される。レジスタ15～18はシフトレジスタを構成しており、転送クロックは送信信号に同期したクロックTXCKである。これにより、送信データTXは送信信号間隔毎に転送される。各レジスタ15～18の出力は、OR-NAND回路19に接続される。OR-NAND回路19の一方のOR入力部にはレジスタ15のQ出力、レジスタ16のQの反転出力、レジスタ17のQ出力、レジスタ18のQの反転出力が接続され、他方のOR入力部にはレジスタ15のQの反転出力、レジスタ16のQ出力、レジスタ17のQの反転出力、レジスタ18のQ出力が接続される。以上の接続により、送信データTX内にプリアンブルと一致したデータ(H, L, H, LまたはL, H, L, H)が存在することを検出できる。次にOR-NAND回路19の出力はレジスタ21に入力され、クロックTXCKの反転したクロックを取り込まれるので、ハザードによる誤動作を防止している。

【0039】レジスタ21のQ出力は上記フリップフロップを構成するNOR回路22の入力に接続され、プリアンブルとの一致が検出されたとき、フリップフロップをリセットして、制御信号CL/OPは“H”から“L”に遷移する。これにより、PLLは閉ループ制御となる。

【0040】図8に、本実施の形態例の制御タイムチャートを示す。制御信号CL/OPはプリアンブル検出後に閉ループ制御となる。プリアンブルは正負の周波数偏移の繰り返し信号であるため、短距離無線LANのような1Mbpsの送信レートを持つ場合、500kHzの繰り返し周期となる。これはPLLのループ帯域（自然周波数 $\omega_n$ ）に対して十分高いので、閉ループ制御による信号の抑圧は発生せず、PLLを閉ループ制御にしたまでもFM変調信号が生成できる。なお図8において、t3はプリアンブルの送信開始時点、t4はプリアンブル終了時点または送信データ開始時点である。

【0041】さらに、本実施の形態例におけるチャージポンプラについて、図6を用いて説明する。本実施の形態例におけるチャージポンプラは、バイアス電流を停止することによりPLLを開ループ制御とする。前述した

実施の形態例1のチャージポンプと異なる点は、基準電流IcがCL/OP信号により起動・停止される点と、NMOSトランジスタ42のゲートを停止時にグラウンドに接続するNMOSトランジスタ52と、PMOSトランジスタ43のゲートを停止時に電源端子に接続するPMOSトランジスタ51とが追加され、さらに、制御信号DNが接続されたAND50を削除し、制御信号DNが直接NMOSトランジスタ46のゲートに接続され、制御信号UPが接続されていたNAND49をインバータ54に変更している。また、上記NMOSトランジスタ52のゲート信号はCL/OPの反転信号がインバータ53により生成され、NMOSトランジスタ52のゲートに接続される。

【0042】本実施の形態例におけるチャージポンプラはCL/OP信号が“H”的とき、位相比較器4からの制御信号UPと制御信号DNにより通常動作が行われるが、CL/OP信号が“L”的ときは基準電流Icが零となり、さらに、NMOSトランジスタ47とPMOSトランジスタ44のゲート・ソース間電圧が零となるので、チャージポンプラの出力CHPへの電流のやり取りは発生しない。したがって、PLLは閉ループ制御となる。

【0043】  
実施の形態3>次に、本発明に係るFM送信機の第3の実施の形態例について説明する。本実施の形態例は、前述した第2の実施の形態例で示した図2において、プリアンブル検出回路を用いた制御回路14の構成が異なっている。図9に、本実施の形態例の制御回路の構成例を示す。この図9に示した制御回路は送信データTXとその同期クロックTXCKを入力とし、送信データTXの“H”に対し+1を、“L”に対し-1を、それぞれ対応させ、同期クロックTXCK信号毎に、上記+1と-1を積分する。その積分結果の絶対値が、予め定められた閾値を超えたとき、“H”レベルの偏り検出信号OFを出力する偏り検出回路53を用いている。この偏り検出回路53はPA\_PD信号毎にリセットされ、“L”となる。

【0044】制御信号CL/OPは、PLL\_PD信号によりセットされるので、閉ループ制御が開始される時点は、前述した実施の形態例における制御回路13, 14と同じであるが、閉ループから開ループに移行するタイミングが上記検出回路53により送信信号の“H”と“L”的出現数の偏りを検出した時点となることが異なる。

【0045】図10は図9に示した構成の制御回路を用いた場合のタイムチャートである。プリアンブルに統いて送信データが送信され、送信データの“H”と“L”との偏りが、予め定められた閾値を超えたときに、上記偏り検出回路53が動作し、PLLを閉ループ動作に切り替える(t5時点)。ここで、予め定められた閾値は、特に定められた値はないが、PLLしが有する高域遮

断特性の影響を行けない範囲、例えばPLLのループ帯域の10倍ぐらい、短距離無線LANへの応用の場合、100 kHz程度以上の期間を用いるのが望ましい。したがって、閾値は10ぐらいを用いた。このような構成を用いると制御回路14を用いたときよりも開ループ制御となる時点t5を遅く設定することが可能となる。なお、図10において、t3はプリアンブルの送信開始時点、t4はプリアンブルの終了時点、t5は送信データの送信開始時点である。

【0046】偏り検出回路53の構成の一例を、図11に示す。偏り検出回路53は、符号数値変換器54と、加算器55と、データラッチ56と、判定器57とから構成される。このように構成される偏り検出回路53の動作は、以下の通りである。符号数値変換器54は、入力される送信データTXの“H”と“L”に対応した数値データ“+1”と“-1”を発生する。加算器55とデータラッチ56により積分器が構成され、同期クロックTXCK毎に積分を行なう。判定器57は、データラッチ56の出力の絶対値を演算し、予め与えられた閾値を越えたことを判定して偏り検出信号OFを出力する。

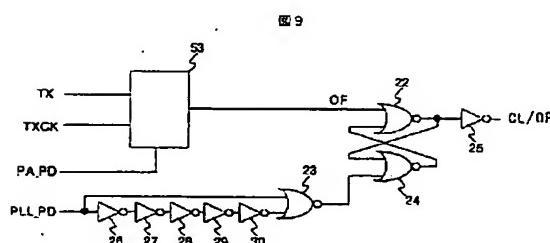
#### 【0047】

【発明の効果】前述した実施の形態例から明らかなように、本発明によれば、FM送信機のバッファ増幅器とPLLとを連動して起動・停止制御ができるようになるので、サンプルホールド回路を用いる必要がなく、消費電力の低減が図れる。

【0048】また、プリアンブル送信期間において、閉ループ制御状態のPLLを用いて送信プリアンブルを送出できるようになるため、バッファ増幅器の起動タイミングを遅く設定できる。それに伴い、バッファ増幅器の起動している時間を短縮できることが可能となるので、消費電力低減ができる。

【0049】さらに、送信データを積分する形式の検出回路を用いれば、送信データを送信する期間でもデータの偏りがない場合には閉ループ送信が可能となるので、バッファ増幅器の起動している時間をさらに短縮できる。

【図9】



#### 【図面の簡単な説明】

【図1】本発明に係るFM送信機の一実施の形態例を示すブロック回路図である。

【図2】本発明に係るFM送信機の別の実施の形態例を示すブロック回路図である。

【図3】図1のFM送信機で用いる制御回路の構成例を示す回路図である。

【図4】図2のFM送信機で用いる制御回路の構成例を示す回路図である。

【図5】図1のFM送信機で用いるチャージポンプの構成例を示す回路図である。

【図6】図2のFM送信機で用いるチャージポンプの構成例を示す回路図である。

【図7】図1に示したFM送信機の制御タイムチャートである。

【図8】図2に示したFM送信機の制御タイムチャートである。

【図9】図2に示したFM送信機の構成で、制御回路を偏り検出回路を用いて構成する場合の回路図である。

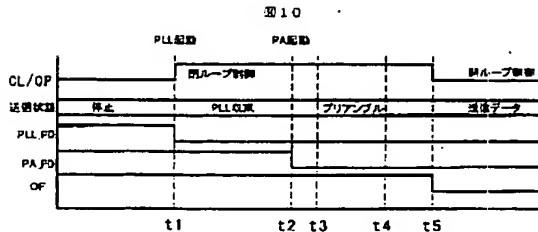
【図10】図9の制御回路を用いた場合のFM送信機の制御タイムチャートである。

【図11】図9の偏り検出回路の構成例を示すブロック図である。

#### 【符号の説明】

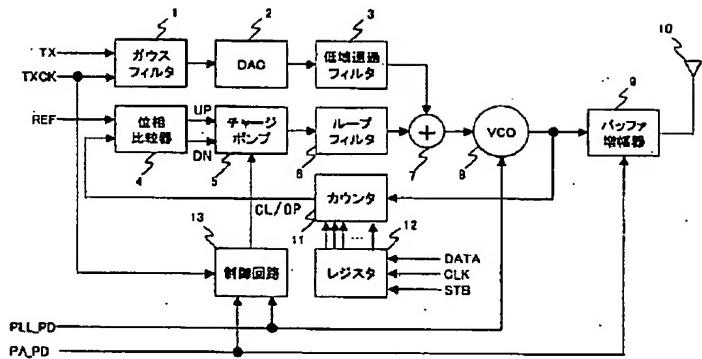
1…ガウスフィルタ、2…D A C、3…低域通過フィルタ、4…位相比較器、5…チャージポンプ、6…ループフィルタ、7…加算器、8…VCO、9…バッファ増幅器、10…アンテナ、11…カウンタ、12…レジスタ、13、14…制御回路、15～18、31～34…シフトレジスタ、19…OR-NAND回路、20、26～30、25、35～39、53、54…インバータ、21…リセット付きレジスタ、22～24、40…NOR回路、41…基準電流源、42、46～48、52…NMOSトランジスタ、43～45、51…PMOSトランジスタ、53…偏り検出回路、54…符号数値変換器、55…加算器、56…データラッチ、57…判定器。

【図10】



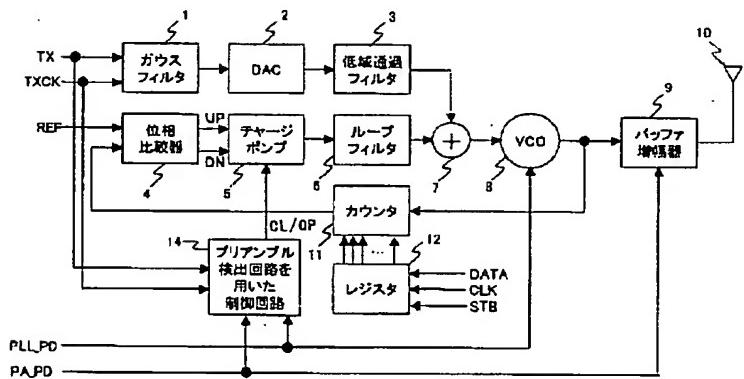
【図1】

図1

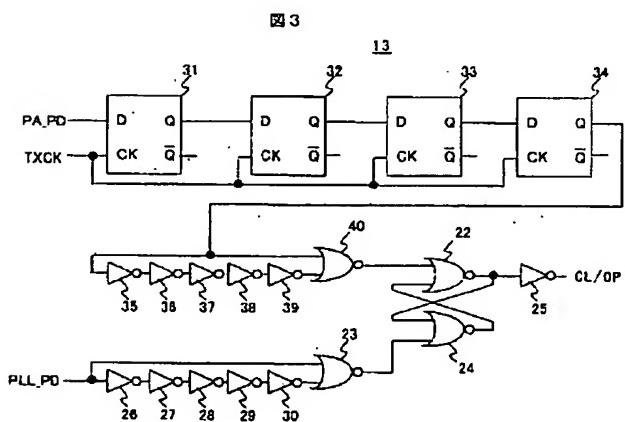


【図2】

図2

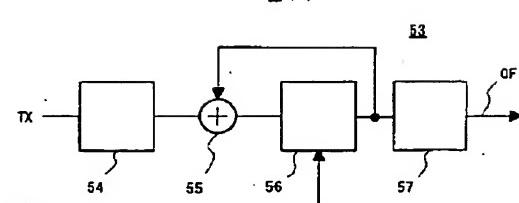


【図3】

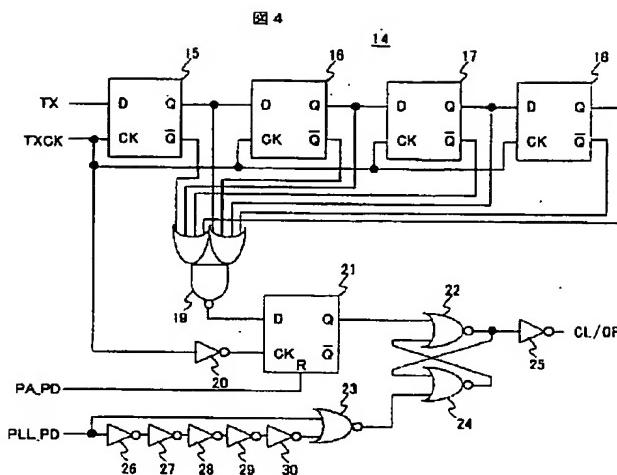


【図11】

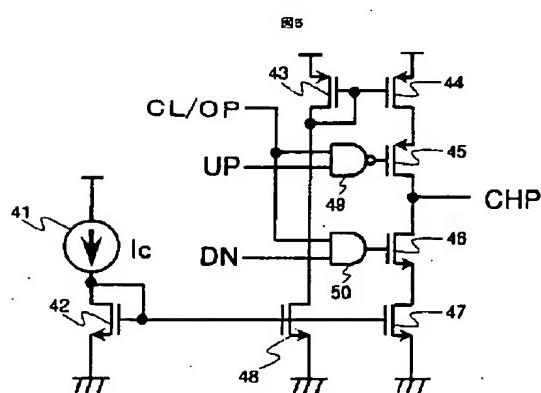
図11



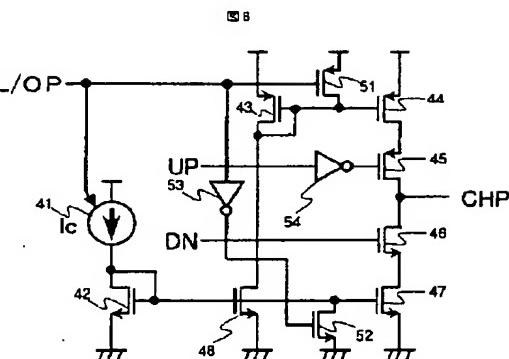
【図4】



【図5】

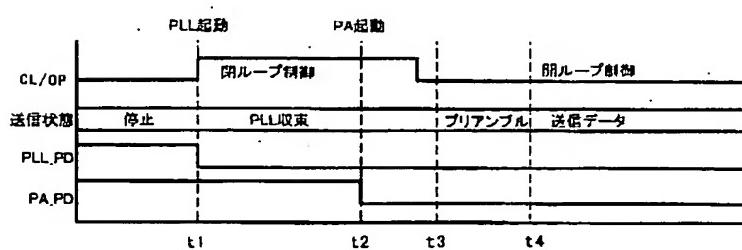


【図6】



【図7】

図7



(10) 02-271213 (P2002-27.II8

【図8】

図8

